

دانشگاه صنعتی شریف

دانشکده‌ی مهندسی برق

آزمایشگاه مدارها‌ی منطقی و سیستم های دیجیتال

گزارش آزمایش جلسه 3

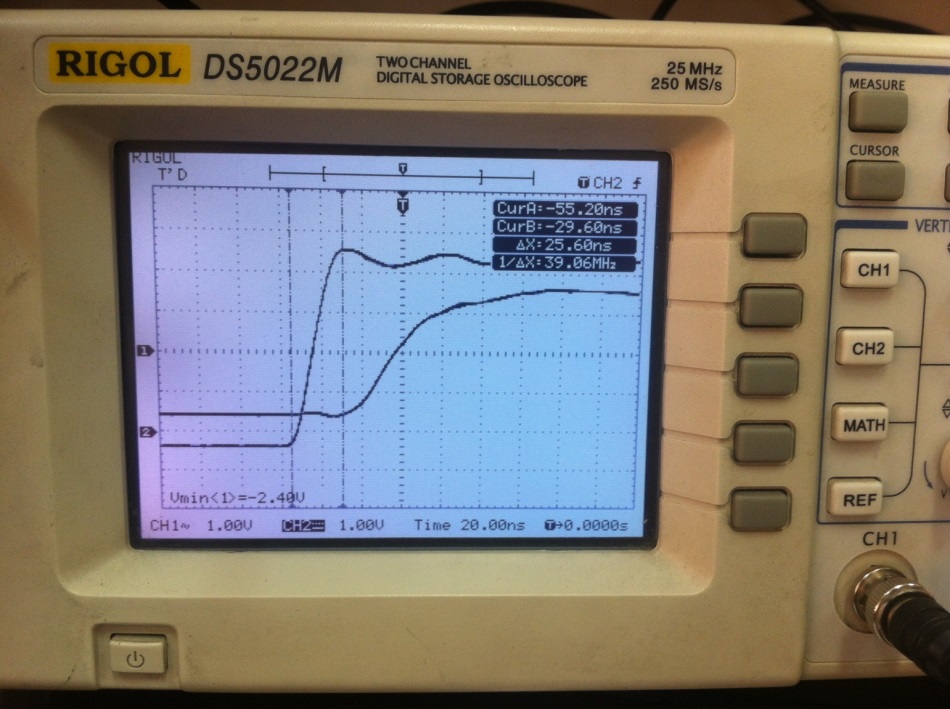
سید‌بردیا برائی‌نژاد (92101669)

مهدی میر (92102846)

استاد: دکتر تابنده

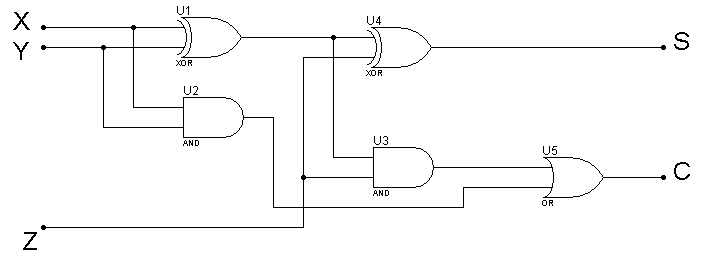
1.در بخش اول با ورودی ها ی مناسب select )با توجه به داده ها ی Datasheet)آی سی را برای اعمال AND،OR ، جمع و تفریق مورد آزمایش قرار دادیم و مقدار تاخیر را نیز بدست آوردیم.





با توجه به شکل زیر مقدار تاخیر حدودا برابر با 25 نانوثانیه است.

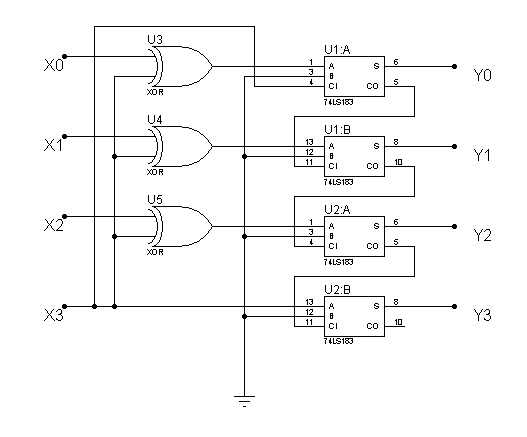
2.



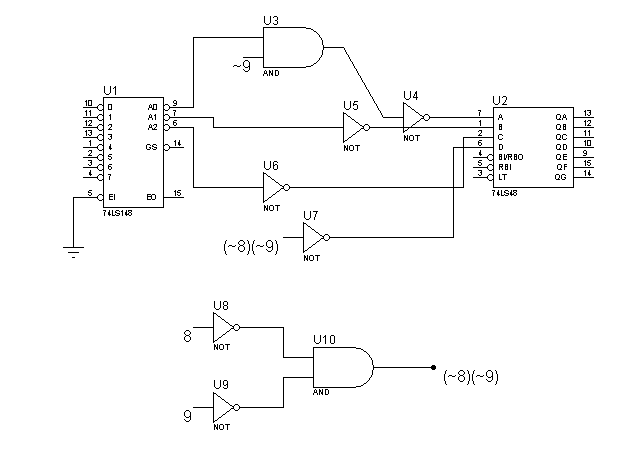
با توجه به مدار بالا که یک Full Adder می باشد مقادیر جمع (S) و رقم نقلی(C) را می توان با دادن ورودی ها (XوY) و همچنین رقم نقلی مرحله ی قبلی (Z) بدست آورد. با استفادی از Datasheet مربوط به آی سی این مدار را پیاده سازی می کنیم. برای مشاهده ی خروجی نیز از 2 ال ای دی متصل به مقاومت استفاده می کنیم و روشن شدن آن ها نشان دهنده ی 1 شدن مقادیر S و C می باشد.

3.

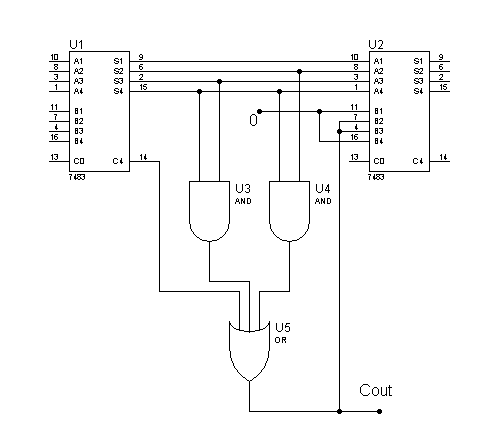
در تبدیل sign magnitude به 2’s comp. ابتدا همه ی بیت ها را (مطابق شکل) با بیت ام اس بی که نشان دهنده ی علامت است XOR می کنیم.(اگر بیت ام اس بی صفر بود بیت ها ی دیگر تغییری نمی کنند و در غیر این صورت اینورت می شوند.) خروجی ها به ورودی ها ی فول ادر متصل می شوند و بیت کری به بیت ام اس بی متصل می شود که باعث می شود در صورت منفی بودن، عدد اینورت شده با 1 جمع شود و در صورت مثبت بودن تغییری صورت نگیرد. این مدار برای عمل تفریق مورد نیاز است که در واقع جمع با عدد منفی شده است که نتیجه ی مورد نظر مارا به ما می دهد.



4. مدار شکل زیر عملیات مورد نظر را انجام می دهد یعنی به وسیله ی سیگنال کنترلی جمع و تفریق را انجام می دهد.



پرسش 1



پرسش2

جمع مقادیر تاخیر = 48 + 44 + 30 + 35 + 30 = 187 نانو ثانیه

پرسش 3

مدار بدست آمده 25 نانو ثانیه بود که از کمتر از تاخیر محاسبه شده است.

پرسش 4

XOR، AND، OR و دو فول ادر بیشترین تاخیر را ایجاد می کنند.

30+35+44+2\*48= 205نانو ثانیه

پرسش 5

در یک فول ادر دلیل اصلی تاخیر نیاز هر مرحله ی جمع به carry مرحله ی قبلی است. پس تاخیر نهایی جمع تمامیر تاخیر ها ی قبلی است که برابر با (2n-1)d می باشد.(d=delay)

پرسش 6

